

同步 LED 系统数据采集与发送模块设计

林天勇, 徐军明*

(杭州电子科技大学 新型电子器件与应用研究所, 浙江 杭州 310018)

摘要:为了解决同步 LED 显示控制系统大流量实时数据的采集、接收等^[1]问题,将 DVI 接口技术与高速千兆以太网技术应用到同步 LED 显示系统数据采集与发送模块设计中,并通过显示系统的帧率、色彩分辨、像素长宽等信息对实际需要的信号带宽给予计算分析,提出以 FPGA 为系统核心部件、用显卡的 DVI 接口作为数据源、以高速千兆以太网进行实时显示数据的传输的设计方案,最后给出实际测试结果。结果表明,该模块满足同步 LED 控制系统对实时数字像素信息传输的要求。

关键词:同步 LED;现场可编程门阵列;数字视频接口实验;千兆以太网

中图分类号:TP274;TN873.92

文献标志码:A

文章编号:1001-4551(2011)02-0227-04

Design of data acquisition and send module of synchronous LED display system

LIN Tian-yong, XU Jun-ming

(Institute of Electron Device & Application, Hangzhou Dianzi University, Hangzhou 310018, China)

Abstract: In order to solve the problems of the large volume of real-time data acquisition and transmission of the synchronous LED display control system, the technology of DVI interface and gigabit Ethernet was applied. And the signal bandwidth needs were put forward by calculating and analyzing. The design for the system with FPGA as the core part, DVI interface of video card as data sources was presented and high-speed gigabit Ethernet technology was used for real-time display data transmission, finally the practical test results were given. Results show that the module of control system meet the synchronous LED real-time digital pixel information transmission requirements.

Key words: synchronous LED display; field programmable gate array(FPGA); digital visual interface(DVI); gigabit ethernet

0 引言

随着 LED 市场的不断发展,作为高新技术产品的 LED 显示屏的需求量越来越大,它以动态范围广、亮度高、寿命长、工作性能稳定等优势逐渐成为显示媒体中的佼佼者。LED 显示屏控制系统主要分为同步与异步两种类型。当屏体与信号源同步时则称之为同步 LED 显示屏控制系统,反之则称异步 LED 显示屏控制系统^[2]。同步控制系统相比于异步控制系统更为复杂,要求带宽大、信息处理能力强。因此高速实时的数据采集和传输成为同步 LED 显示屏控制系统中一个重要且关键的环节。

本研究详细介绍了基于 FPGA 同步 LED 全彩屏控制系统中高速实时数据采集与发送模块设计方案。

1 整体硬件结构设计及功能

1.1 整体硬件结构概述

本设计支持 1 024 × 768 分辨率的视频数据传输,实现 800 × 600 分辨率 RGB 全彩 LED 屏显示控制,每种颜色 256 级灰度。支持实时动画、视频显示,保证高亮度、不闪烁、画面流畅,刷新率在 60 fps 以上。

整体硬件结构如图 1 所示,信号源为 PC 机,PC 机通过 DVI 接口与设计硬件相连,DVI 解码电路对接收的 DVI 信号解析后,将像素数据传送给 FPGA 处理单元,进行缓冲,然后按照 LED 屏的级联方式,对数据整理,并经过 FPGA 的转换处理送以太网发送器。整体硬件结构如图 1 所示。

收稿日期:2010-08-20

作者简介:林天勇(1986-)男,福建宁德人,主要从事新型电子器件设计及应用方面的研究. E-mail: skylinlinsky@163.com

通信联系人:徐军明,男,副教授,硕士生导师. E-mail: xujunming@hdu.edu.cn

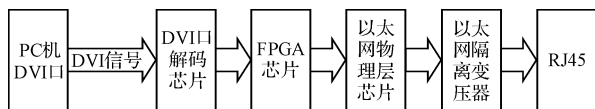


图 1 同步 LED 实时数据采集发送系统硬件结构图

1.2 各功能模块介绍

根据不同的功能划分,可以将上面的整体硬件结构分为两大模块:①数据采集模块,对 PC 机的 DVI 口的 T. M. D. S 信号采集,然后解码恢复 24 位并行数字像素数据,传给 FPGA 进行处理;②数据发送模块,基于 FPGA 根据千兆以太网协议将像素数据进行帧处理,然后送给物理层芯片将数据进行物理层编码,通过以太网连接器发送数据。

2 基于 DVI 接口数据采集模块

2.1 DVI 接口简介

DVI 全称 Digital Visual Interface,是由 DDWG (Digital Display Working Group,数字显示工作组)发明并推广的。它的基础是 Silicon Image 公司的 Panalink 接口技术, Panalink 接口技术采用的是 T. M. D. S. (Transition Minimized Differential Signaling,最小化传输差分信号)作为基本电气连接。T. M. D. S. 运用先进的编码算法把 8 bit 数据(R、G、B 中的每路基色信号)通过最小转换编码为 10 bit 数据(包括行场同步信息、时钟信息、数据 DE、纠错等),经过 DC 平衡后,采用差分信号传输数据。DVI 接口协议支持单链路 T. M. D. S. 和双链路 T. M. D. S. 两种方式。单链路的传输速率可达 4.9 Gbps,双链路可达 9.9 Gbps^[34]。

2.2 DVI 解码电路设计

2.2.1 DVI 解码电路框图

DVI 口编码后输出的是差分信号,利用解码芯片恢复视频数据 QE[23..0],其中 24 位并行像素数据分为 RED[7..0],GREEN[7..0],BLUE[7..0],行同步信号 HSYNC,场同步信号 VSYNC,数据使能信号 DE 和像素时钟 OCLK,输出给 FPGA 控制芯片使用。图中 RX2- 和 RX2+ 表示红色数据的差分信号,RX1- 和 RX1+ 表示绿色数据的差分信号,RXC- 和 RXC+ 表示时钟的差分信号^[5]。

2.2.2 DVI 解码芯片

目前市场上使用最多的是 TI 公司和 Silicon Image 公司提供的 DVI 接口收发芯片。TI 提供相对更加丰富且使用更方便的接收芯片,例如,TPFP101、TFP401 等系列芯片无需用户设置高速差分信号的匹

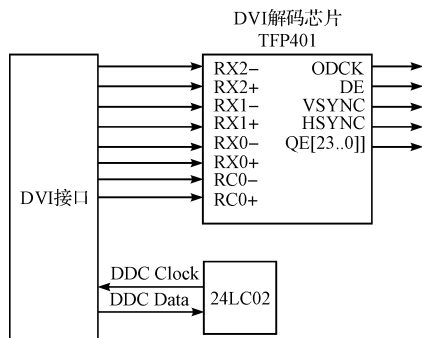


图 2 解码电路图

配电阻^[3]。本研究采用 TFP401A,它采用先进的 0.18 μm CMOS 处理工艺,使用 1.8 V 核心电压和 3.3 V 的 I/O 电压,具有低噪声和低功耗特性,其 PowerPAD 封装技术可以保证芯片工作的热稳定性,单链路可支持 165 MHz 时钟频率^[6]。该芯片能支持到 UXGA(1 600 $\times$ 1 200)分辨率的视频源信号,本设计视频源分辨率为 1 024 $\times$ 768,因此选用 TFP401A 满足设计要求。

2.2.3 DDC 接口设计

DVI 接口支持即插即用功能,要求接收设备符合 VESA 的 DDC2B 或更高版本的通讯协议,DDC2B 构建在 I²C 总线上,通过 DDC(显示数据通道)通道来传递显示设备的 EDID(扩展显示标识数据),从而实现 PC 机对显示设备的识别和正确配置。EDID 内部包含了显示设备的 EDID 版本信息、色度系数,以及可支持的分辨率、场频、行频等参数^[7]。不同的显示设备 EDID 信息配置不同,本设计中 EDID 信息配置是针对分辨率为 800 $\times$ 600 的 LED 全彩显示屏。

本研究中 EDID 数据存放在 DVI 解码电路的 AM24LC02 芯片中,该芯片为 2 KB(256 $\times$ 8),I²C 总线、CMOS 工艺的串行 EEPROM 存储器。电源 VCC 的范围为 2.7 V ~ 5.5 V,可以通过把 WP 引脚接电源来对整个存储器写保护,此时,存储器的内容不可更改。将 DVI 接口插座的第 16 脚(热插拔检测端)通过 1 k Ω 上拉电阻和第 14 脚(+5 V 电源端)相连,构成显示设备的 HPD(热插拔检测)信号。AM24LC02 芯片的时钟线(SCL)、数据线(SDA)和 DVI 接口插座的第 6、7 脚相接,当系统上电时,AM24LC02 在时钟 SCL 的同步控制下通过 DDC 通道向 PC 机传送 EDID 数据。只有当 PC 机识别和正确配置后,T. D. M. S 链路才会被激活。

3 基于千兆以太网接口像素数据发送模块

本研究实现 800 $\times$ 600 分辨率 RGB 全彩显示控制,每种颜色灰度值为 8 bit,LED 屏幕刷新率至少每

秒60次,那么数据传输速率为: $800 \times 600 \times 60 \times 8 \times 3 = 691.2 \text{ Mbit/s}$ 。本设计采用千兆以太网技术实现高速、可靠的数据传输。

3.1 千兆以太网发送模块设计整体概述

介质访问控制(Media Access Control, MAC)是以太网设计的核心部分,位于OSI模型中的数据链路层,主要实现帧发送、帧接收、MAC控制以及千兆介质网关接口管理等4大功能。另外PCS和PMA分别代表物理层的物理编码子层和物理介质接入层^[8]。本研究发送模块通过使用Altera提供三态以太网MAC控制IP核,可将IP核配置为所需模式并进行IP核参数设置,将IP核设置为千兆以太网MAC模块,实现吉比特以太网链路,物理层由以太网物理层(PHY)层提供。MAC模块与PHY器件通过GMII(Gigabit Media Independent Interface,千兆媒质无关接口)接口连接,设计方框图如图3所示。

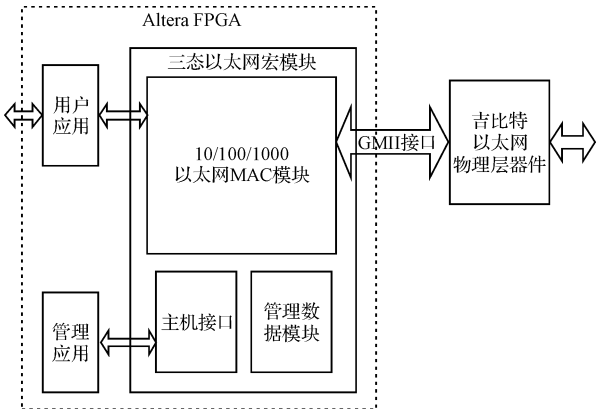


图3 千兆以太网发送模块设计框图

3.2 三态以太网MAC控制IP核配置

在CycloneII系列的FPGA中,Altera提供了可参数化的千兆以太网 megacore 解决方案^[7]。可配置MAC模块以及可选择的物理层PCS模块和PMA模块,其中MAC模块支持10/100/1 000 Mbps。对以太网IP核对配置主要包括如下几个部分^[9]:

- (1) Core Configuration:核配置选项,配置以太网功能模块,是否包含PCS模块、FIFO模块,配置接口类型、端口数等;
- (2) MAC Options:MAC配置选项,配置MAC模块功能;
- (3) FIFO Options:FIFO存储器选项,可设置FIFO存储器类型以及存储器数据长度;
- (4) PCS/SGMII Options:物理介质接入层模块配置页面,配置物理层。

3.3 吉比特以太网物理层(PHY)器件

以太网PHY器件是物理接口收发器,它实现物理层。吉比特以太网的物理层接口标准主要有4种:GMII、RGMII(Reduced GMII)、TBI(Ten-Bit Interface)和RTBI(Reduced TBI)。GMII是标准的吉比特以太网接口,它位于MAC层与物理层之间。本研究采用National DP83865作为PHY器件。且MAC核与PHY器件通过GMII接口连接,如图4所示^[10]。

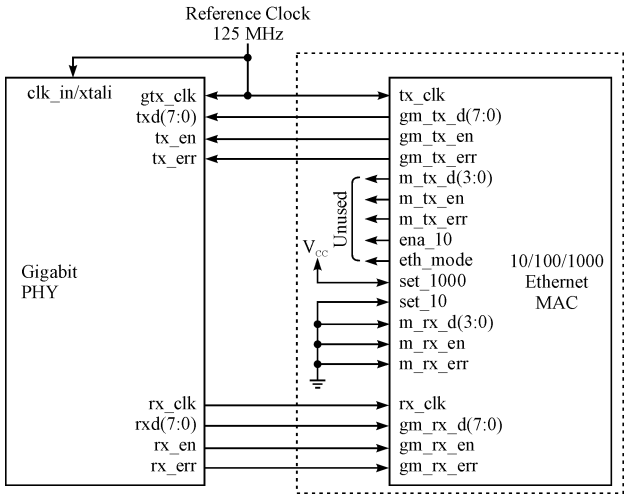


图4 吉比特以太网PHY器件通过GMII与以太网MAC连接

4 测试结果

DVI接口采集芯片测试结果如图5~图7所示。

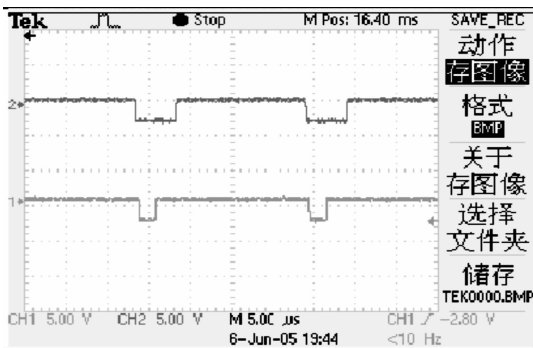


图5 DE-HSYNC波形

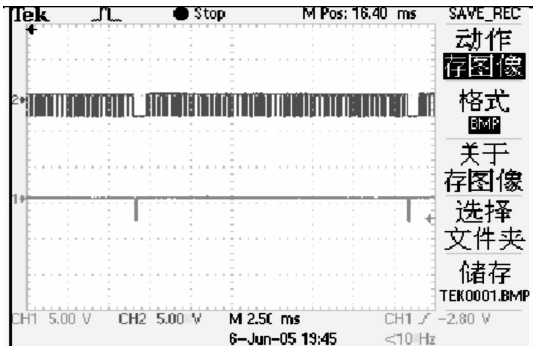


图6 DE-VSYNC波形

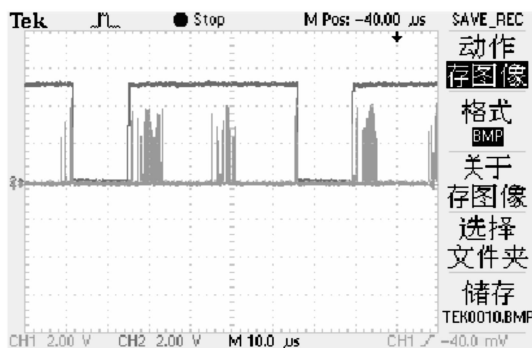


图 7 DE-DATA 波形

5 结束语

本研究采用 Altera 公司的 cycloneII 系列 FPGA 芯片,通过 DVI 接口技术和千兆以太网技术实现同步 LED 显示屏的高速数据采集与实时发送。系统很多功能由 FPGA 实现,外围器件少,所以体积小、处理速度快、可靠性高。该采集发送系统可以应用到同步 LED 大屏幕显示器中,满足其对实时的数字像素信息传输的要求。

[编辑:李 辉]

(上接第 197 页)

这里以 ME776ASF 型磨毛机为例,对磨毛作业进行过程中各段的张力情况进行分析,从图中可以看出,开机运行 6 s 后各段的张力都稳定在设定值,分别为 10 kg, 30 kg, 15 kg, 10 kg, 张力调节快速,各段同步性较好。

3 结束语

笔者主要研究了纺织后整理设备多轴同步张力动态稳定调节的控制方法。为了保证多电机运行的稳定性,在面料的张力控制上采用闭环控制,以面料张力误差值为参考量,经 PID 运算得到调节量反馈到伺服并输出脉冲,达到调节各段张力的目的。在此基础上,为了解决传统机型同步性欠佳的问题,加入了同步补偿量,使后面各轴速度快速跟随前辊速度,从而实现了多轴的同步调节,减小了各段张力波动的范围,提升了系统的同步性能。此多轴张力同步控制技术已在海宁纺织机械厂的 ME776ASF 型磨毛机上应用,对磨毛机运行过程各段张力波动情况进行检测。样机试验表明,该磨毛机张力调节迅速,波动小,5 轴同步性好,在张力调节技术上较之前老机型有较大的改进。

参考文献 (References):

[1] 黄凤根,吴文英,陈瑞琪. 机电一体化在纺织机械中的应

参考文献 (References):

- [1] 王 炜,冯永茂,丁铁夫. 基于 FPGA 高速实时数据传输系统设计方案[J]. 微计算机信息,2008,24(26):134-136.
- [2] 俞彬杰. 基于 FPGA 的全彩色 LED 同步显示屏控制系统的设计[D]. 上海:上海交通大学自动化系,2008.
- [3] Digital Display Working Group. DVI Specification Revision. 0[M]. Digital Display Working Group,1999.
- [4] 王春军,潘昉晟. DVI 接口在嵌入式系统中的应用[J]. 计算机工程,2005(20):207-208.
- [5] 徐秀知,冯永茂,陈 宇,等. DVI 数字视频接口的硬件设计[J]. 电子器件,2006(4):1280-1283.
- [6] Texas Instruments, TI PanelBus™. TFP401A datasheet [M]. Texas Instruments,2003.
- [7] 李政江,陈文彬,何其锐. DVI 接口应用系统的设计[J]. 国外电子元器件,2007(3):31-34.
- [8] 于洪涛,丁铁夫,郑喜凤,等. 基于 FPGA 的千兆以太网光纤转换器的设计[J]. 中国光学与应用光学,2009(4):352-357.
- [9] 詹俊鹏,李 鹏. 基于 Altera FPGA 的千兆以太网实现方案[J]. 电子设计工程,2009(2):50-52.
- [10] Altera Corportion. Triple speed ethernet mega core function user guide [DB/OL]. [2008-01-01]. <http://www.altera.com.cn>.

[编辑:李 辉]

用[J]. 国外纺织技术,2002(12):1-7.

- [2] 周奉磊. 纺织机械的机电一体化现状与发展趋势[J]. 中国纺织,2005(3):154-156.
- [3] 陈立秋. 测径及张力控制[J]. 染整技术,2007,29(12):47-48.
- [4] 张水英,麻寿光. 整经机 PLC 恒张力自动控制系统[J]. 纺织学报,2004,25(1):83-84.
- [5] 陶永华,尹怡欣,葛芦生. 新型 PID 控制及其应用[M]. 北京:机械工业出版社,1999:1-5.
- [6] ASTROM K J, HAGGLUND T. PID Controllers: Theory, Design, and Tuning[M]. North Carolina: Research Triangle Park,1995.
- [7] RADEK M. Experimental verification of design methods for conventional PI/PID controllers[J]. WSEAS Transactions on Systems and Control,2010,5(5):269-280.
- [8] YU Gwo-ruey, HWANG Rey-chue. Optimal PID speed control of brush less DC motors using LQR approach[C]//Proceedings-IEEE International Conference on Systems, Man and Cybernetics. Taiwan: [s,n],2004:173-178.
- [9] SONG Xiao-yan, YANG Qing-jie, ZHANG Xue-ming, et al. Application of compound PID control in the DC servo motor[J]. Applied Mechanics and Materials,2009(16-19):145-149.
- [10] 可编程序控制器模拟量及 PID 算法应用案例[M]. 北京:高等教育出版社,2008:85-110. [编辑:张 翔]